

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-278542

(43)Date of publication of application : 05.10.1992

(51)Int.Cl.

H01L 21/321  
H01L 21/3205

(21)Application number : 03-040293

(71)Applicant : FUJITSU LTD

(22)Date of filing : 06.03.1991

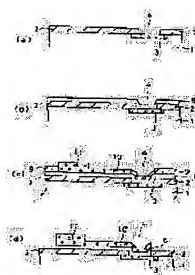
(72)Inventor : KAMATA YORIO

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To obtain a method for forming a metal wiring and a protruding electrode whose film thicknesses are different, so as to have the respective desired thicknesses in a unified body, without interposing a barrier layer between them, regarding a method for forming the metal wiring to be used as a power supply wiring and the protruding electrode (bump) on the surface of a semiconductor device.

CONSTITUTION: An insulating film 2 having an aperture 4 for wiring contact is formed on a semiconductor layer 1 having a contact region 3 on the surface on which an element is formed. A barrier layer 8 is formed on the above film 2 containing the above aperture 4. A slit 71 is formed in a part region of the above barrier layer 8 around a metal wiring forming region 5 whose film thickness is small. A resist layer 9 is formed in a region except the forming region of a metal wiring 10 and a protruding electrode 11. The above barrier layer 8 is used as a current path, and electroplating is performed. Thereby the metal wiring 10 having a small film thickness and the protruding electrode 11 having a large film thickness are formed at the same time.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-278542

(43) 公開日 平成4年(1992)10月5日

(51) Int. Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321 21/3205				
		9168-4M	H 0 1 L 21/92	C
		7353-4M	21/88	K
		9168-4M	21/92	F
審査請求 未請求 請求項の数 2 (全 5 頁)				

(21) 出願番号 特願平3-40293

(22) 出願日 平成3年(1991)3月6日

(71) 出願人 00005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 鎌田 順夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 寒川 誠一

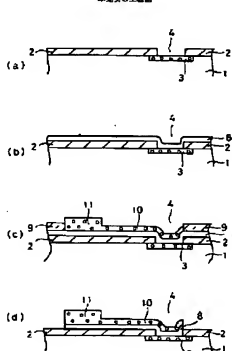
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 半導体装置の表面に電源ラインとして使用する金属配線と突起電極（パンプ）とを形成する方法に関し、膜厚の異なる金属配線と突起電極とをそれぞれ所望の膜厚に、しかも両者の間にバリア層を介在させることなく一体に形成する方法を提供することを目的とする。

【構成】 素子が形成され表面にコンタクト領域3を有する半導体層1上に、配線コンタクト用開口4を有する絶縁膜2を形成し、前記の開口4を含む前記の絶縁膜2上にバリア層8を形成し、膜厚の薄い金属配線形成領域5周辺の前記のバリア層8の一部領域にスリット71を形成し、次いで、金属配線10と突起電極11との形成領域を除く領域にレジスト層9を形成し、前記のバリア層8を電流パスとして使用して電解メッキをなし、膜厚の薄い金属配線10と膜厚の厚い突起電極11とを同時に形成するように構成する。

本発明の工程面



I

## 【特許解決の概図】

【請求項1】 素子が形成され表面にコンタクト領域

(3)を有する半導体層(1)上に、配線コンタクト用開口(4)を有する絶縁膜(2)が形成され、該絶縁膜

(2)の前記開口(4)内に形成されたバリア層(8)に連結して、突起電極(11)と一体に形成される金属配線(10)が前記コンタクト領域(3)に接続されてなることを特徴とする半導体装置。

【請求項2】 素子が形成され表面にコンタクト領域

(3)を有する半導体層(1)上に、前記コンタクト領域(3)上に配線コンタクト用開口(4)を有する絶縁膜(2)を形成し、前記開口(4)を含む前記絶縁膜

(2)上にバリア層(8)を形成し、膜厚の薄い金属配線形成領域(5)周辺の前記バリア層(8)の一部領域にスリット(71)を形成し、金属配線(10)と突起電極

(11)との形成領域を除く領域にレジスト層(9)を形成し、電解メッキ法を使用して、前記バリア層(8)を電

流パスとして使用して金属メッキをなし、膜厚の薄い金属配線(10)と膜厚の厚い突起電極(11)とを同時に形成する工程を有することを特徴とする半導体装置の製造

方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置及びその製造方法、特に、半導体装置の表面に電線ラインとして使用する金属配線と突起電極(パンプ)とを形成する方法と、その方法を使用して形成された金属配線と突起電極とを有する半導体装置とに関する。

【0002】近年、半導体集積回路に対して高速・高密度化が強く求められており、これに対応するため、半導体チップのパッケージ化においてはTAB(Tape Automated Bonding)方式の利用が増加する傾向にある。このため、電線ラインの形成においては、高速・高密度化に適した電解メッキ法による金属配線(主として金を使用)の形成と、高速・高密度化に有効なTAB方式に適した突起電極(主として金を使用)の形成とが必要になっている。

【0003】

【従来の技術】従来の金属配線及び突起電極の形成方法を以下に説明する。

【0004】図3(a)に示すように、素子の形成された半導体チップ領域1上に絶縁膜2を形成し、半導体層1に形成されているコンタクト領域3上に配線コンタクト用開口4を形成する。

【0005】図3(b)に示すように、半導体層1に形成されているアルミニウム等のコンタクト領域3と、このコンタクト領域3に接続して形成される金等の金属配線との間の相互拡散を防止するためのチタン等の高融点金属材料と密着強化材料である白金等の貴金属層との2重層よりなるバリア層8を開口4内を含む絶縁膜2上に

2

形成する。次いで、全面にレジスト膜9を形成し、これをパターニングして金属配線形成領域上から除去する。

【0006】電解メッキ法を使用し、バリア層8を電流パスとして使用して金メッキをなし、レジスト膜9が除去されて露出しているバリア層8上に図3(c)に示すように、金よりなる金属配線10を形成する。

【0007】図3(d)に示すように、金属配線10をマスクとしてエッチングをなし、金属配線10に覆われていない領域のバリア層8を除去する。

【0008】次に、図4(a)に示すように、全面に絶縁膜12を形成し、これをパターニングして突起電極形成領域に開口13を形成する。

【0009】以後、前記の金属配線の形成と同一の工程をもって、先ず全面にバリア層を形成し、次に、突起電極形成領域に開口を有するレジスト膜を形成し、次いで電解メッキ法を使用して金メッキをなして開口内のバリア層上に金よりなる突起電極を形成した後、突起電極に覆われていない領域のバリア層をエッチング除去し、図4(b)に示すように、金属配線10にバリア層14を介して接続する突起電極11を形成する。

【0010】

【発明が解決しようとする課題】金属配線10と突起電極11とは、バリア層8を介して接合されているため両者間の接合強度が低く、また、電気抵抗も高い。また、電解メッキ工程上すべての金属配線またはすべての突起電極はそれぞれ同一の膜厚に形成されるので、電流密度の点から必要とされる膜厚以上の厚さに形成される場合があり、高速化・高密度化を阻害する原因となっている。

【0011】本発明の目的は、この欠点を解消することにより、膜厚の異なる金属配線と突起電極とをそれぞれ所望の膜厚に、しかも両者の間にバリア層を介在させることなく一体に形成する方法及びこの方法を使用して形成された金属配線と突起電極とを有する半導体装置を提供することにある。

【0012】

【課題を解決するための手段】上記の目的は、素子が形成され表面にコンタクト領域(3)を有する半導体層(1)上に、配線コンタクト用開口(4)を有する絶縁膜(2)が形成され、この絶縁膜(2)の前記開口(4)内に形成されたバリア層(8)に連結して、突起電極(11)と一体に形成されている金属配線(10)が前記コンタクト領域(3)に接続されている半導体装置と、素子が形成され表面にコンタクト領域(3)を有する半導体層(1)上に、前記コンタクト領域(3)上に配線コンタクト用開口(4)を有する絶縁膜(2)を形成し、前記開口(4)を含む前記絶縁膜(2)上にバリア層(8)を形成し、膜厚の薄い金属配線形成領域(5)周辺の前記バリア層(8)の一部領域にスリット(71)を形成し、次いで、金属配線(10)と突起電極(11)との形成領域を除く領域にレジスト層(9)を

3

形成し、電解メッキ法を使用し、前記のバリア層(8)を電流バスとして使用して金属メッキをなし、膜厚の薄い金属配線(10)と膜厚の厚い突起電極(11)とを同時に形成する工程を有する半導体装置の製造方法とによって達成される。

【0013】

【作用】電解メッキ法を使用し、バリア層を電流バスとして使用してその上に金属層をメッキ形成する場合に、形成される金属層の膜厚はその金属層が形成される領域のバリア層に供給される電流密度に比例する。したがって、金属層を薄く形成しようとするならば、その領域のバリア層に流す電流バスの面積を小さくして電流密度を下げればよい。膜厚を薄く形成しようとする金属層の周辺のバリア層の一部領域にスリットを形成して電流路を遮断することによって、電流バスの面積を小さくすることができる。

【0014】

【実施例】以下、図面を参照して、本発明の一実施例に係る金属配線と突起電極とを同時に形成する方法について説明する。

【0015】図1(a)に示すように、素子の形成された半導体層1上にPSG等の絶縁膜2を形成し、これをパターンニングして半導体層1に形成されているコンタクト領域3上に配線コンタクト用開口4を形成する。同時に、図2(a)の平面図と図2(b)のA-A'断面図とに示すように、薄い膜厚の金属配線形成領域5を囲む一部領域の絶縁膜2に溝7を形成する。なお、この溝7は金属配線形成領域5を囲んで均等に分布させることが望ましい。なお、図2(a)において、4は配線コンタクト用開口であり、6は突起電極形成領域である。

【0016】図1(b)に示すようにスパッタ法等を使用して、開口4内を含む絶縁膜2上にチタン等の高融点メタル層と白金等の貴金属層とを順次形成し、チタン等の高融点メタル層と白金等の貴金属層との積層膜1となるバリア層8を形成する。

【0017】このバリア層8は、図2(c)の断面図に示すように、絶縁膜2に形成された溝7においてカバレッジが不良となり、結果的にバリア層8にスリット71が形成されたことになる。

【0018】図1(c)に示すようにレジスト膜9を形成し、フォトリソグラフィ法を使用してパターンニングして金属配線と突起電極との形成領域から除去した後、バリア層8を電流バスとして使用して金メッキをする。図2に示すように金属配線形成領域5のバリア層に通ずる電流バスの面積が縮小されているので、金属配線形成領域5のバリア層8における電流密度が低下し、膜厚の薄い金よりなる金属配線10が形成される。一方、突起電極形成領域6のバリア層8に通ずる電流バスの面積は縮小されていないので、高い電流密度が得られ、膜厚の厚い金よりなる突起電極11が形成される。

4

【0019】なお、膜厚の薄い金属配線形成領域5の周辺のバリア層8の一部領域にスリット71を形成する方法としては、溝7におけるバリア層8のカバレッジ不良を利用する前記の方法に代えて、平坦な絶縁膜2上にバリア層8を形成し、このバリア層8をパターンニングしてスリット71を形成するようにしてもよい。

【0020】次いで、金属配線10と突起電極11とをマスクとして使用してバリア層8を除去し、図1(d)に示すように、コンタクト領域3にバリア層8を介して接続する金属配線10と突起電極11とが一体に形成される。

【0021】また、上記の手法を使用すれば、膜厚の異なる金属配線または膜厚の異なる突起電極を半導体ウェーハまたは半導体チップ上に形成することができることは言うまでもない。

【0022】

【発明の効果】以上説明したとおり、本発明に係る半導

体装置及びその製造方法においては、金属配線形成領域と突起電極形成領域とに供給されるメッキ電流密度を歪めることによって、厚さの異なる金属配線と突起電極とを同時に一体に形成することができるので、金属配線と突起電極との間に接着不良と抵抗増加の原因となるバリア層がなくなり、信頼性が著しく向上する。また、金属配線または突起電極の形成領域に供給するメッキ電流密度をそれぞれ制御することによって、金属配線または突起電極をそれぞれの使用目的に適合した所望の厚さに形成することができるので、半導体装置の高速・高密度化に極めて有効である。

【図面の簡単な説明】

【図1】本発明に係る金属配線及び突起電極の形成工程図である。

【図2】メッキ用電流バスの面積を制御する方法を説明する説明図である。

【図3】従来技術に係る金属配線及び突起電極の形成工程図である。

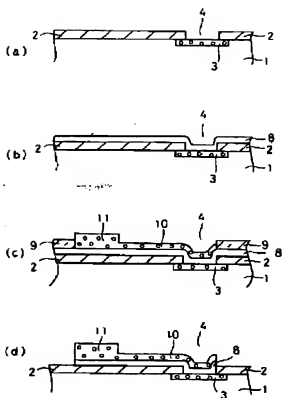
【図4】従来技術に係る金属配線及び突起電極の形成工程図である。

【符号の説明】

- 1 半導体層
- 2 絶縁膜
- 3 コンタクト領域
- 4 開口
- 5 金属配線形成領域
- 6 突起電極形成領域
- 7 溝
- 71 スリット
- 8, 14 バリア層
- 9 レジスト膜
- 10 金属配線
- 11 突起電極

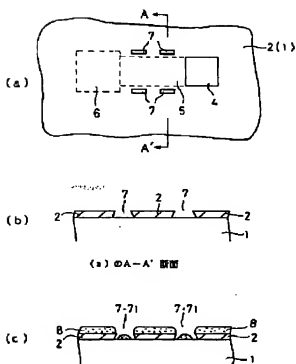
【図1】

本発明の工程図



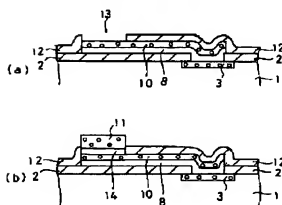
【図2】

マスク電線パース配線図



【図4】

従来工程図



〔図3〕

機座の工機図

